

02 SEP 2004

JP03/02420

29.05.03

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 3月 5日

出 願 番 号

Application Number:

特願2002-058142

[ST.10/C]:

[JP2002-058142]

出 願 人

Applicant(s):

シャープ株式会社

REC'D 20 JUN 2003

WIPO

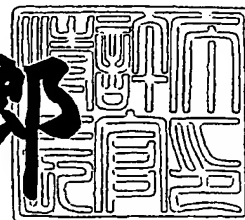
PCT

PRIORITY  
DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 4月 1日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3022419

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 02J00377

【提出日】 平成14年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 岩田 浩

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 柴田 晃秀

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

    【電話番号】 06-6621-1221

【代理人】

    【識別番号】 100103296

    【弁理士】

    【氏名又は名称】 小池 隆彌

    【電話番号】 06-6621-1221

    【連絡先】 電話 0 4 3 - 2 9 9 - 8 4 6 6 知的財産権本部 東京  
知的財産権部

【選任した代理人】

    【識別番号】 100073667

    【弁理士】

    【氏名又は名称】 木下 雅晴

【手数料の表示】

【予納台帳番号】 012313

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703283

【包括委任状番号】 9703284

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜と、

上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜上に形成されたゲート絶縁膜と、

上記ゲート絶縁膜上に形成された単一のゲート電極と、

上記単一のゲート電極側壁の両側に形成された2つの電荷保持部と、

上記2つの電荷保持部のそれぞれに対応する2つのN型拡散層領域と、

上記単一のゲート電極下に配置されたチャネル領域とを備え、

上記電荷保持部は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させるように構成されてなり、

上記一方のN型拡散層領域を基準電圧とし、

他方のN型拡散層領域を基準電圧より高い電圧とし、

上記ゲート電極を基準電圧より低い電圧とすることにより、正孔を他方のN型拡散層領域側に存する電荷保持部に注入することを特徴とする半導体記憶装置。

【請求項 2】 N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜と、

上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜上に形成されたゲート絶縁膜と、

上記ゲート絶縁膜上に形成された単一のゲート電極と、

上記単一のゲート電極側壁の両側に形成された2つの電荷保持部と、

上記2つの電荷保持部のそれぞれに対応する2つのP型拡散層領域と、

上記単一のゲート電極下に配置されたチャネル領域とを備え、

上記電荷保持部は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させるように構成されてなり、

上記一方のP型拡散層領域を基準電圧とし、

他方のP型拡散層領域を基準電圧より低い電圧とし、

上記ゲート電極を基準電圧より高い電圧とすることにより、電子を他方のP型拡散層領域側に存する電荷保持部に注入することを特徴とする半導体記憶装置。

【請求項3】 P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜と、

上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜上に形成されたゲート絶縁膜と、

上記ゲート絶縁膜上に形成された単一のゲート電極と、

上記単一のゲート電極側壁の両側に形成された2つの電荷保持部と、

上記2つの電荷保持部のそれぞれに対応する2つのN型拡散層領域と、

上記単一のゲート電極下に配置されたチャネル領域とを備え、

上記電荷保持部は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させるように構成されてなり、

上記一方のN型拡散層領域を基準電圧とし、

他方のN型拡散層領域を基準電圧より高い電圧とし、

上記ゲート電極を基準電圧より低い電圧とし、

上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜を基準電圧より高い電圧とすることにより、正孔を他方のN型拡散層領域側に存する電荷保持部に注入することを特徴とする半導体記憶装置。

【請求項4】 N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜と、

上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜上に形成されたゲート絶縁膜と、

上記ゲート絶縁膜上に形成された単一のゲート電極と、

上記単一のゲート電極側壁の両側に形成された2つの電荷保持部と、

上記2つの電荷保持部のそれぞれに対応する2つのP型拡散層領域と、

上記単一のゲート電極下に配置されたチャネル領域とを備え、

上記電荷保持部は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させるように構成されてなり、

上記一方のP型拡散層領域を基準電圧とし、

他方のP型拡散層領域を基準電圧より低い電圧とし、

上記ゲート電極を基準電圧より高い電圧とし、

上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜を基準電圧より低い電圧とすることにより、電子を他方のP型拡散層領域側に存する電荷保持部に注入することを特徴とする半導体記憶装置。

【請求項5】 請求項3又は請求項4に記載の半導体記憶装置において、

上記N型又はP型拡散層領域は、上記ゲート絶縁膜を介して上記ゲート電極とオーバーラップ領域を持たないオフセット構造を有していることを特徴とする半導体記憶装置。

【請求項6】 請求項3に記載の半導体記憶装置において、

一方のN型拡散層領域と上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜との電圧差の絶対値は、0.7V以上であって1V以下であることを特徴とする半導体記憶装置。

【請求項7】 請求項4に記載の半導体記憶装置において、

一方のP型拡散層領域と上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜との電圧差の絶対値は、0.7V以上であって1V以下であることを特徴とする半導体記憶装置。

【請求項8】 請求項3又は請求項4に記載の半導体記憶装置において、

上記ゲート電極のゲート長は、0.015 $\mu$ m以上であって0.5 $\mu$ m以下であることを特徴とする半導体記憶装置。

【請求項9】 請求項1乃至7に記載の半導体記憶装置において、

上記電荷保持部は、第1の絶縁体、第2の絶縁体、第3の絶縁体からなり、

上記電荷保持部は、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜

が、第2の絶縁体と第3の絶縁体とに挟まれた構造を有し、

上記第1の絶縁体とはシリコン窒化物であり、

上記第2及び第3の絶縁膜とはシリコン酸化物であることを特徴とする半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体記憶装置の動作方法に関する。より詳細には、電荷量の変化を電流量に変換する機能を有する電界効果トランジスタからなる半導体記憶装置に関する。

##### 【0002】

#### 【従来の技術】

従来から、1つの電界効果トランジスタで2ビットの記憶が可能な不揮発性メモリとして、サイファン・セミコンダクターズ・リミテッド社が開発したメモリがある（特表2001-512290号公報）。上記従来技術のメモリの構造と、消去動作原理を以下で説明する。

##### 【0003】

このメモリは、図9に示したように、P型ウェル領域901上にゲート絶縁膜を介して形成されたゲート電極909、P型ウェル領域901表面に形成された第1のN型拡散層領域902及び第2のN型拡散層領域903から構成される。ゲート絶縁膜は、シリコン酸化膜904、905の間にシリコン窒化膜906が挟まれた、いわゆるONO(Oxide Nitride Oxide)膜からなる。シリコン窒化膜906中には、第1及び第2のN型拡散層領域902、903の端部付近に、それぞれ記憶保持部907、908が形成されている。

##### 【0004】

これらの記憶保持部907、908のそれぞれの個所での電荷の多寡をトランジスタのドレイン電流として読み出すことにより、1トランジスタで2ビットの情報を記憶させることができる。

##### 【0005】

次に、このメモリにおける消去動作方法を説明する。ここで、消去とは、記憶保持部 907, 908 に蓄積された電子を放出させることを指すこととする。特表 2001-512290 号公報では、右側の記憶保持部 908 に蓄積された電子を放出させるために、第 2 の拡散層領域 903 に 5.5 V を、ゲート電極 909 に -8 V を印加してドレイン電極に電子を引きぬく方法が開示されている。これにより、2 つある記憶保持部の特定の側を消去することができる。特定の側の書込み及び読出しを行う方法も開示されており、これらの方法を総合して 2 ビット動作が可能となっている。

#### 【0006】

##### 【発明が解決しようとする課題】

しかし、前記のメモリでは、ゲート絶縁膜は、トランジスタを動作させるための機能と、電荷を蓄積するメモリ膜としての機能を併せ持たせるために、ONO 膜の 3 層構造となっていた。それゆえ、ゲート絶縁膜の薄膜化が困難であった。また、チャネル長が短くなるにつれ、1 つのトランジスタの記憶保持部 907、908 の 2 箇所が互いに干渉して 2 ビット動作が困難になっていた。それゆえ、さらなる素子の微細化が果たせなかった。

#### 【0007】

本発明は前記課題に鑑みなされたものであり、1 つのトランジスタで 2 ビットの記憶保持を実現しながら、更に微細化することができる半導体記憶装置を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段】

上記課題を解決するため、第 1 の発明の半導体記憶装置は、P 型半導体基板、半導体基板内に設けられた P 型ウェル領域又は絶縁体上に配置された P 型半導体膜と、上記 P 型半導体基板、半導体基板内に設けられた P 型ウェル領域又は絶縁体上に配置された P 型半導体膜上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成された単一のゲート電極と、上記単一のゲート電極側壁の両側に形成された 2 つの電荷保持部と、上記 2 つの電荷保持部のそれぞれに対応する 2 つの N 型拡散層領域と、上記単一のゲート電極下に配置されたチャネル領域とを備え



、上記電荷保持部は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させるように構成されてなり、上記一方のN型拡散層領域を基準電圧とし、他方のN型拡散層領域を基準電圧より高い電圧とし、上記ゲート電極を基準電圧より低い電圧とすることにより、正孔を他方のN型拡散層領域側に存する電荷保持部に注入することを特徴としている。

## 【 0 0 0 9 】

上記構成によれば、上記ゲート電極側壁の両側に形成された2つの電荷保持部は、上記ゲート絶縁膜とは独立しているので、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている。そのため、十分なメモリ機能を有したままゲート絶縁膜を薄膜化して短チャンネル効果を抑制するのが容易である。また、ゲート電極の両側に形成された2つの電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。言い換えれば、2つの電荷保持部間の距離を小さくすることができる。

## 【 0 0 1 0 】

更には、上記ゲート電極の電圧と、一方のN型拡散層領域の電圧と、他方のN型拡散層領域の電圧を適切に設定することにより、他方のN型拡散層領域の側に有る電荷保持部に選択的に正孔を注入することができる。したがって、2ビット動作が可能で、かつ微細化が容易な半導体記憶装置が提供される。

## 【 0 0 1 1 】

また、第2の発明の半導体記憶装置は、N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜と、上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成された単一のゲート電極と、上記単一のゲート電極側壁の両側に形成された2つの電荷保持部と、上記2つの電荷保持部のそれぞれに対応する2つのP型拡散層領域と、上記単一のゲート電極下に配置されたチャンネル領域とを備え、上記電荷保持部は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させ

るように構成されてなり、上記一方のP型拡散層領域を基準電圧とし、他方のP型拡散層領域を基準電圧より低い電圧とし、上記ゲート電極を基準電圧より高い電圧とすることにより、電子を他方のP型拡散層領域側に存する電荷保持部に注入することを特徴としている。

【0012】

上記第2の発明の半導体記憶装置は、第1の発明の半導体記憶装置において、メモリトランジスタの極性をPチャネル型としたものである。したがって、第1の発明の半導体記憶装置と同様な作用効果を奏する。

【0013】

また、第3の発明の半導体記憶装置は、P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜と、上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成された単一のゲート電極と、上記単一のゲート電極側壁の両側に形成された2つの電荷保持部と、上記2つの電荷保持部のそれぞれに対応する2つのN型拡散層領域と、上記単一のゲート電極下に配置されたチャネル領域とを備え、上記電荷保持部は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させるように構成されてなり、上記一方のN型拡散層領域を基準電圧とし、他方のN型拡散層領域を基準電圧より高い電圧とし、上記ゲート電極を基準電圧より低い電圧とし、上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜を基準電圧より高い電圧とすることにより、正孔を他方のN型拡散層領域側に存する電荷保持部に注入することを特徴としている。

【0014】

上記第3の発明の半導体記憶装置によってもまた、第1の発明の半導体記憶装置と同様な作用効果を奏する。更には、一方のN型拡散層領域と、上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜とのPN接合には順方向電圧が印加されるため、上記半導体基板中に

電子が注入される。注入された電子は他方のN型拡散層領域と上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜とのPN接合において加速、散乱され、電子-正孔対を発生する。発生した正孔は、他方のN型拡散層領域の側に有る電荷保持部に選択的に注入される。上記過程は、他方のN型拡散層領域と上記半導体基板との電圧差が比較的低い場合にも起こるため、半導体記憶装置の動作電圧を低くすることが可能となる。したがって、半導体記憶装置の低消費電力化、素子劣化の抑制を実現することができる。

## 【 0 0 1 5 】

また、第4の発明の半導体記憶装置は、N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜と、上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成された単一のゲート電極と、上記単一のゲート電極側壁の両側に形成された2つの電荷保持部と、上記2つの電荷保持部のそれぞれに対応する2つのP型拡散層領域と、上記単一のゲート電極下に配置されたチャネル領域とを備え、上記電荷保持部は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の上記一方の拡散層領域から他方の拡散層領域に流れる電流量を変化させるように構成されてなり、上記一方のP型拡散層領域を基準電圧とし、他方のP型拡散層領域を基準電圧より低い電圧とし、上記ゲート電極を基準電圧より高い電圧とし、上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜を基準電圧より低い電圧とすることにより、電子を他方のP型拡散層領域側に存する電荷保持部に注入することを特徴としている。

## 【 0 0 1 6 】

上記第4の発明の半導体記憶装置は、第3の発明の半導体記憶装置において、メモリトランジスタの極性をPチャネル型としたものである。したがって、第3の発明の半導体記憶装置と同様な作用効果を奏する。

## 【 0 0 1 7 】

1 実施の形態では、上記N型又はP型拡散層領域は、上記ゲート絶縁膜を介して上記ゲート電極とオーバーラップ領域を持たないオフセット構造を有していることを特徴としている。

【0018】

上記実施の形態によれば、半導体記憶装置はいわゆるオフセットトランジスタ構造を有しており、大きなメモリ効果を得ることができる。一方、オフセット構造を有するがゆえに、上記ゲート電極の電位により、他方のN型又はP型拡散層領域とP型又はN型半導体基板とのPN接合における正孔又は電子の発生が促進される効果が乏しくなる。しかしながら、一方のN型又はP型拡散層領域とP型又はN型半導体基板とのPN接合には順方向電圧が印加されてるため、比較的低い電圧で他方のN型又はP型拡散層領域とP型又はN型半導体基板とのPN接合において正孔又は電子が発生する。したがって、大きなメモリ効果を持ち、かつ、低電圧動作が可能な半導体記憶装置が提供される。

【0019】

また、1実施の形態では、一方のN型拡散層領域と上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜との電圧差の絶対値は、0.7V以上であって1V以下であることを特徴としている。

【0020】

上記実施の形態によれば、一方のN型拡散層領域と上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜とのPN接合に流れる順方向電流を、他方のN型拡散層領域と上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜とのPN接合における正孔又は電子の発生に十分なだけ得ることができる。同時に、上記順方向電流が、半導体記憶装置の消費電流を著しく増大させることがない。

【0021】

また、1実施の形態では、一方のP型拡散層領域と上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜と

の電圧差の絶対値は、0.7 V以上であって1 V以下であることを特徴としている。

## 【0022】

上記実施の形態によれば、一方のP型拡散層領域と上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜とのPN接合に流れる順方向電流を、他方のP型拡散層領域と上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜とのPN接合における正孔又は電子の発生に十分なだけ得ることができる。同時に、上記順方向電流が、半導体記憶装置の消費電流を著しく増大させることがない。

## 【0023】

また、1実施の形態では、上記ゲート電極のゲート長は、0.015  $\mu\text{m}$ 以上であって0.5  $\mu\text{m}$ 以下であることを特徴としている。

## 【0024】

上記実施の形態によれば、他方のN型又はP型拡散層領域とP型又はN型半導体基板（P型又はN型ウェル領域、P型又はN型半導体膜）とのPN接合において、十分に正孔又は電子が発生し、上記電荷保持部に注入することができる。また、メモリ動作の基本となるトランジスタ動作が確保される。

## 【0025】

また、1実施の形態では、上記電荷保持部は、第1の絶縁体、第2の絶縁体、第3の絶縁体からなり、上記電荷保持部は、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜が、第2の絶縁体と第3の絶縁体とに挟まれた構造を有し、上記第1の絶縁体とはシリコン窒化物であり、上記第2及び第3の絶縁膜とはシリコン酸化物であることを特徴としている。

## 【0026】

上記実施の形態によれば、上記電荷を蓄積する機能を有する第1の絶縁体はシリコン窒化膜であり、電荷（電子及び正孔）をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。また、第2及び第3の絶縁膜はシリコン酸化膜であるから、上記電荷保持部はいわゆるONO（Oxide N

itride Oxide)膜構造になっているので、電荷の注入効率が高くなり、書換え動作を高速化できる。

#### 【0027】

##### 【発明の実施の形態】

本発明の半導体記憶装置は、主として、ゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された電荷保持部と、電荷保持部のゲート電極と反対側のそれぞれに配置されたソース／ドレイン領域（拡散層領域）と、ゲート電極下に配置されたチャンネル領域とから構成される。

#### 【0028】

この半導体記憶装置は、1つの電荷保持部に2値又はそれ以上の情報を記憶することにより、4値又はそれ以上の情報を記憶するメモリ素子として機能する。

#### 【0029】

本発明の半導体記憶装置は、半導体基板上、好ましくは半導体基板内に形成された第1導電型のウェル領域上に形成されることが好ましい。

#### 【0030】

半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体による基板、SOI基板又は多層SOI基板等の種々の基板を用いることができる。なかでもシリコン基板又は表面半導体層としてシリコン層が形成されたSOI基板が好ましい。この半導体基板上には、素子分離領域が形成されていることが好ましく、更にトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。半導体基板は、P型又はN型の導電型を有していてもよく、半導体基板には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半導体基板及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが

、チャネル領域下にボディ領域を有していてもよい。

【 0 0 3 1 】

ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。

【 0 0 3 2 】

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状で形成されている。ゲート電極は、実施の形態のなかで特に指定がない限り、特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400nm程度の膜厚で形成することが適当である。なお、ゲート電極の下には、チャネル領域が形成されるが、チャネル領域は、ゲート電極下のみならず、ゲート電極とゲート長方向におけるゲート端の外側を含む領域下に形成されていることが好ましい。このように、ゲート電極で覆われていないチャネル領域が存在する場合には、そのチャネル領域は、ゲート絶縁膜又は後述する電荷保持部で覆われていることが好ましい。

【 0 0 3 3 】

電荷保持部は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全てを覆うように形成されていてもよいし、一部を覆うように形成されてもよい。電荷保持膜として導電膜を用いる場合には、電荷保持膜が半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲ

ートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

【0034】

電荷保持部は、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。電荷を蓄積する第1の絶縁体が膜状であるから、電荷の注入により短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。電荷を蓄積する第1の絶縁体内の電荷分布が不均一であった場合、保持中に第1の絶縁体内を電荷が移動してメモリ素子の信頼性が低下する恐れがある。また、電荷を蓄積する第1の絶縁体は、導電体部（ゲート電極、拡散層領域、半導体基板）とは他の絶縁膜で隔てられているので、電荷の漏れが抑制されて十分な保持時間を得ることができる。したがって、上記サンドウィッチ構造を有する場合、半導体記憶装置の高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。上記条件を満たす電荷保持部としては、上記第1の絶縁体をシリコン窒化膜とし、第2及び第3の絶縁体をシリコン酸化膜とするのが特に好ましい。シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。また、シリコン酸化膜およびシリコン窒化膜は共にLSIプロセスでごく標準的に用いられる材料であるため、好ましい。なお、上記第2及び第3の絶縁体は、異なる物質であってもよいし同一の物質であってもよい。

【0035】

ソース／ドレイン領域は、半導体基板又はウェル領域と逆導電型の拡散層領域として、電荷保持部のゲート電極と反対側のそれぞれに配置されている。ソース／ドレイン領域と半導体基板又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。ソース／ドレイン領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、ソース／ドレイン領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有



していることが好ましい。

【0036】

ソース／ドレイン領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したときの電荷保持膜下のオフセット領域の反転しやすさが電荷保持部に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなる。したがって、オフセット量はメモリ効果と駆動電流の双方が適切な値となるように決定すればよい。

【0037】

ソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいため、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、電荷保持膜の少なくとも一部を挟持するように配置することが好ましい。

【0038】

本発明の半導体記憶装置は、ゲート絶縁膜上に形成された単一のゲート電極、ソース領域、ドレイン領域及び半導体基板を4個の端子として、この4個の端子のそれぞれに所定の電位を与えることにより、書込み、消去、読出しの各動作を行なう。具体的な動作原理及び動作電圧の例は、後述する。本発明の半導体記憶装置をアレイ状に配置してメモリセルアレイを構成した場合、単一の制御ゲートで各メモリセルを制御できるので、ワード線の本数を少なくすることができる。

## 【0039】

本発明の半導体記憶装置は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、絶縁膜（第2の絶縁体）／電荷蓄積膜（第1の絶縁体）／絶縁膜（第2の絶縁体）の積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法が挙げられる。このほか、所望の電荷保持部の構造に応じて、適宜サイドウォール形成時の条件や堆積物を選択すればよい。

## 【0040】

本発明の半導体記憶装置は、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器等が挙げられる。

## 【0041】

以下に、本発明の半導体記憶装置について、図面に基づいて詳細に説明する。  
詳細な実施の形態

本実施の形態の半導体記憶装置を構成するメモリ素子の構造を、図1～図3を用いて説明する。図1～図3は、メモリ素子の概略断面図であり、それぞれサイドウォールスペーサ形状の電荷保持部の構造が異なっている。

## 【0042】

本実施の形態の半導体記憶装置を構成するメモリ素子は、2ビットの記憶が可能な不揮発性メモリセルとして、図1～図3に示したように、半導体基板11上に、ゲート絶縁膜12を介して、通常のトランジスタと同程度のゲート長を有するゲート電極13が形成されており、ゲート絶縁膜12及びゲート電極13の側壁に、サイドウォールスペーサ形状の電荷保持部61、62が形成されて構成されている。また、電荷保持部61、62のゲート電極13と反対の側には、それぞれ第1の拡散層領域17及び第2の拡散層領域18（ソース／ドレイン領域）が形成されており、このソース／ドレイン領域17、18は、ゲート電極13端部に対して（ゲート電極13が形成された領域41から）オフセットされている。

## 【0043】

このように、メモリトランジスタの電荷保持部は、ゲート絶縁膜とは独立して形成されている。したがって、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている。また、ゲート電極の両側に形成された2つの電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。したがって、このメモリトランジスタは、2ビットの記憶が可能で、かつ微細化が容易である。

## 【0044】

また、ソース／ドレイン領域17、18がゲート電極13からオフセットされていることにより、ゲート電極13に電圧を印加したときの電荷保持部下のオフセット領域42の反転しやすさを、電荷保持部に蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。更に、通常のロジックトランジスタと比較して、短チャネル効果を強力に防止することができ、より一層のゲート長の微細化を図ることができる。また、構造的に短チャネル効果抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させることが可能となる。

## 【0045】

サイドウォールスペーサ形状の電荷保持部は、例えば図1のように、サイドウォール形状をしたシリコン窒化膜21と、このシリコン窒化膜21とゲート電極13、半導体基板11及びソース／ドレイン領域17、18とを隔てるシリコン酸化膜14とからなる構造にすることができる。電荷（電子又は正孔）を蓄積する機能を有するのはシリコン窒化膜21であり、シリコン酸化膜14はシリコン窒化膜21に蓄積された電荷の漏れを防いでいる。

## 【0046】

電荷保持部の他の例は、図2に示すように、サイドウォール形状をした導電体膜22と、この導電体膜22と、ゲート電極13、半導体基板11及びソース／ドレイン領域17、18とを隔てるシリコン酸化膜14とからなっている。電荷を蓄積する機能を有するのは導電体膜22であり、シリコン酸化膜14は導電体膜22に蓄積された電荷の漏れを防いでいる。

## 【0047】

電荷保持部は、更に、図3に示す構造を有していてもよい。サイドウォールスペーサ形状の電荷保持部は、シリコン窒化膜15がシリコン酸化膜14、16で挟まれた構造を有している。シリコン窒化膜15は、電荷（電子又は正孔）をトラップして蓄積する機能を有している。主として電荷を蓄積するのは、シリコン窒化膜15のうち、オフセット領域42上に存する部分である。このように、電荷保持部はシリコン窒化膜15がシリコン酸化膜14、16によって挟まれた構造を有するため、電荷保持部への電荷注入効率が上がり、書換え動作（書込み及び消去動作）の高速化が実現する。

## 【0048】

電荷保持部の構造は、上記3つの例（図1～図3）に限らず、例えば、電荷保持部に電荷を蓄積する機能を有する量子ドットが含まれているものでもよい。また、電荷保持部の形状はサイドウォール形状を有している必要はなく、ゲート電極の両側にあつて、その一部が半導体基板11及びソース／ドレイン領域17、18に接していればよい。

## 【0049】

次に、このメモリ素子の動作原理について、図4～図8を用いて説明する。なお、図4～図6は、図3に示した電荷保持部を持つメモリ素子の場合を示しているが、その他の形状の電荷保持部を持つメモリ素子にも適用することができる。

## 【0050】

まず、このメモリ素子の書込み動作について、図4を用いて説明する。なお、書込みとは、メモリ素子がNチャネル型るとき、電荷保持部に電子を注入することを指し、メモリ素子がPチャネル型るとき、電荷保持部に正孔を注入することを指すこととする。なお、メモリ素子がNチャネル型の時は、半導体基板11はP型、拡散層領域17、18はN型の導電型を持ち、メモリ素子がPチャネル型の場合はそれぞれ導電型が反対となる。以下の説明（読出し方法及び消去方法に関する説明も含む）では、メモリ素子がNチャネル型の場合を説明するが、Pチャネル型の場合は電子と正孔の役割を逆にすればよい。また、Pチャネル型の場合は各ノードに印加する電圧の符号を全て反対にすればよい。このメモリの書き

込み動作は、ドレイン電界により加速されたホットエレクトロン（熱電子）を電荷保持部に注入することにより行う。

#### 【0051】

第2の電荷保持部62に電子を注入する（書込む）ためには、図4（a）に示すように、第1の拡散層領域17をソース電極に、第2の拡散層領域18をドレイン電極とする。例えば、第1の拡散層領域17及び半導体基板11に0V、第2の拡散層領域18に+5V、ゲート電極13に+2Vを印加すればよい。このような電圧条件によれば、反転層31が、第1の拡散層領域17（ソース電極）から伸びるが、第2の拡散層領域18（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散層領域18（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第2の電荷保持部62（より正確にはシリコン窒化膜15）に注入されることにより書込みが行なわれる。なお、第1の電荷保持部61近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。このようにして、第2の電荷保持部62に電子を注入して、書込みを行なうことができる。

#### 【0052】

一方、第1の電荷保持部61に電子を注入する（書込む）ためには、図4（b）に示すように、第2の拡散層領域18をソース電極に、第1の拡散層領域17をドレイン電極とする。例えば、第2の拡散層領域18及び半導体基板11に0V、第1の拡散層領域17に+5V、ゲート電極13に+2Vを印加すればよい。このように、第2の電荷保持部62に電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1の電荷保持部61に電子を注入して、書込みを行なうことができる。

#### 【0053】

次に、上記メモリ素子の読み出し動作原理を説明する（図示せず）。

#### 【0054】

第1の電荷保持部61に記憶された情報を読み出す場合、第1の拡散層領域17をソース電極に、第2の拡散層領域18をドレイン電極とし、トランジスタを

飽和領域動作させる。例えば、第1の拡散層領域17及び半導体基板11に0V、第2の拡散層領域18に+2V、ゲート電極13に+1Vを印加すればよい。この際、第1の電荷保持部61に電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1の電荷保持部61に電子が蓄積している場合は、第1の電荷保持部61近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1の電荷保持部61の記憶情報を読み出すことができる。このとき、第2の電荷保持部62における電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。

## 【0055】

第2の電荷保持部62に記憶された情報を読み出す場合、第2の拡散層領域18をソース電極に、第1の拡散層領域17をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第2の拡散層領域18及び半導体基板11に0V、第1の拡散層領域17に+2V、ゲート電極13に+1Vを印加すればよい。このように、第1の電荷保持部61に記憶された情報を読み出す場合とは、ソース／ドレイン領域を入れ替えることにより、第2の電荷保持部62に記憶された情報の読出しを行なうことができる。

## 【0056】

なお、ゲート電極13で覆われないチャネル領域（オフセット領域42）が残されている場合、ゲート電極13で覆われないチャネル領域においては、電荷保持部61、62の余剰電子の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域42の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、オフセット領域42の幅を決定することが好ましい。

## 【0057】

拡散層領域17、18がゲート電極13端に達している場合、つまり、拡散層領域17、18とゲート電極13とがオーバーラップしている場合であっても、書き込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース／

ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）した。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散層領域17、18とゲート電極13とがオーバーラップしていない（オフセット領域42が存在する）ほうが好ましい。

#### 【0058】

次に、上記半導体記憶装置の第1の消去方法を図5で説明する。

#### 【0059】

第2の電荷保持部62に記憶された情報を消去する場合、第2の拡散層領域18に正電圧（例えば、+6V）、半導体基板11に0Vを印加して、第2の拡散層領域18と半導体基板11とのPN接合に逆バイアスをかけ、更にゲート電極13に負電圧（例えば、-5V）を印加すればよい。このとき、上記PN接合のうちゲート電極13付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルによりPN接合の半導体基板11側にホール（正孔）が発生する。このホールが負の電位をもつゲート電極13方向に引きこまれ、その結果、第2の電荷保持部62にホールが注入される。このようにして、第2の電荷保持部62の消去が行なわれる。このとき第1の拡散層領域17には0Vを印加すればよい。

#### 【0060】

上記消去方法において、第1の電荷保持部61に記憶された情報を消去する場合は、上記において第1の拡散層領域と第2の拡散層領域の電位を入れ替えればよい。

#### 【0061】

次に、上記半導体記憶装置の第2の消去方法を図6及び図7で説明する。

#### 【0062】

第2の電荷保持部62に記憶された情報を消去する場合、図6に示すように、第2の拡散層領域18に正電圧（例えば、+5V）、第1の拡散層領域17に0V、ゲート電極13に負電圧（例えば、-4V）、半導体基板11に正電圧（例えば、+0.8V）を印加すればよい。すなわち、一方のN型拡散層領域（第1

の拡散領域 1 7) を基準電圧とし、他方の N 型拡散層領域 (第 2 の拡散領域 1 8) を基準電圧より高い電圧とし、ゲート電極 1 3 を基準電圧より低い電圧とし、P 型半導体基板 (半導体基板 1 1) を基準電圧より高い電圧とする。なお、各ノードに印加する電圧は相対的なものであるから、半導体基板 1 1 を基準電圧 (0 V) とすれば、上記条件は、第 2 の拡散層領域 1 8 が +4. 2 V、第 1 の拡散層領域 1 7 が -0. 8 V、ゲート電極 1 3 が -4. 8 V である場合と等価である。この場合、P 型半導体基板 (半導体基板 1 1) を基準電圧とし、一方の N 型拡散層領域 (第 1 の拡散領域 1 7) を基準電圧より低い電圧とし、他方の N 型拡散層領域 (第 2 の拡散領域 1 8) を基準電圧より高い電圧とし、ゲート電極 1 3 を基準電圧より低い電圧とすると表現することもできる。

## 【 0 0 6 3 】

なお、本実施の形態の半導体記憶装置をセルアレイ状に配置する場合は、各メモリ素子の P 型半導体基板を共通とし (すなわち、1 個の半導体基板上にメモリセルアレイを形成するか、もしくは、半導体基板中に共通の P 型ウェル領域を形成してその上にメモリセルアレイを形成する)、P 型半導体基板の電位を固定して動作させるのが好ましい。なぜなら、共通の P 型半導体基板は非常に大きな面積の P N 接合を有しているから、P 型半導体基板の電位を変動させると P N 接合に纏わる容量を充電するために大きな電流が流れるからである。

## 【 0 0 6 4 】

図 7 は、図 6 における切断面線 A - A' における、電子に対するエネルギーダイヤグラム (エネルギーバンド図) を示している。図 7 (a) は、半導体基板 1 1 に第 1 の拡散層領域 1 7 と同じ 0 V を印加したとき (他のノードの電位は図 6 と同じ) を表し、図 7 (b) は、半導体基板 1 1 に +0. 8 V を印加したとき (すなわち図 6 に示した条件と同じ) を、それぞれ表している。図 7 中、E c は伝導電子帯端を、E v は価電子帯端をそれぞれ表しており、E c と E v の間はバンドギャップとなっている。

## 【 0 0 6 5 】

図 7 (a) の場合は、電圧の絶対値は異なるものの、本質的に第 1 の消去方法と同じである。この場合、半導体基板 1 1 と第 2 の拡散層領域 1 8 との間には、



バンド間トンネルが起きるに足る電位差を与えなければならない。第2の消去方法は、半導体基板11と第2の拡散層領域18との間の電位差がバンド間トンネルが起きるに足らない場合であっても、ホールを発生させて消去動作を行なうものである。第2の消去方法における最も重要な点は、第1の拡散層領域17と半導体基板11との間のPN接合に、順方向電圧を印加することである。図7(b)に示すように、上記順方向電圧を印加すると、半導体基板11のポテンシャルは、点線から実線へと低下する。そのため、第1の拡散層領域17から半導体基板11へ電子が注入される(電子51)。半導体基板へ注入された電子51は、第2の拡散層領域18と半導体基板11との間のPN接合に達して電界により加速され、散乱によりエネルギーを失う(電子52)。このとき失われたエネルギーは、価電子帯の電子が受け取り、電子53と正孔54との対を発生させる。かくして第2の拡散層領域18と半導体基板11との間のPN接合において正孔が発生し、更に第2の電荷保持部62に注入されて消去が行われる。

#### 【0066】

上記第2の消去方法によれば、第2の拡散層領域18と半導体基板11に印加する逆方向バイアスが比較的小さい場合であってもホールを発生させ、消去動作が可能となる。それゆえ、メモリ素子の動作電圧を低くすることが可能となる。したがって、低消費電力化、メモリ素子劣化の抑制を実現することができる。特に、オフセット領域42が存在する場合は、負の電位が印加されたゲート電極によりPN接合のポテンシャルが急峻となる効果が少ない。そのため、バンド間トンネルによるホールの発生が難しいのであるが、第2の消去方法はその欠点を補い、低電圧で消去動作を実現することができる。それゆえ、オフセット領域42を設けることによりメモリ効果が増大する本発明のメモリ装置においては、第2の消去方法は特に好ましいのである。

#### 【0067】

第1の拡散層領域17と半導体基板11との間に印加する順方向バイアスは、0.7V以上の時に消去が行われ、0.7V未満では全く消去が行われなかった。また、上記順方向バイアスが1Vを越えると順方向電流が増大して、消去動作時の消費電流が著しく増大してしまった。したがって、上記順方向バイアスは、

0.7 V以上であって、1 V以下であるのが好ましい。

【0068】

上記第2の消去方法において、第1の電荷保持部61に記憶された情報を消去する場合は、上記において第1の拡散層領域と第2の拡散層領域の電位を入れ替えばよい。

【0069】

図8は、上記第2の消去方法における、ゲート長が変化した時の消去能力の変化を示す図である。図8を作成するための実験では、メモリ素子に書込み動作を行なった後にメモリ素子の閾値を測定し、続いて上記第2の消去方法で消去動作を行なった後に再び閾値を測定した。書込み動作を行なう前の閾値の初期値は約0.4 Vであった。書込み動作を行なった後は、ゲート長に関わらずほぼ一定の閾値(0.85 V)まで閾値が上昇した。一方、消去動作を行なった後は、ゲート長が0.5  $\mu\text{m}$ 以下ではほぼ一定の閾値(0.4 V)まで閾値が低下したが、0.6  $\mu\text{m}$ 以上ではゲート長の増大にしたがって急速に消去能力が低下していくことが分かった。このような現象が起きる原因は、以下のように考えられる。図7(b)において、第1の拡散層領域17から半導体基板11中に注入された電子51は、ゲート長(チャネル長)が十分に短い場合には、第2の拡散層領域18と半導体基板11とのPN接合に達することができる。しかし、ゲート長(チャネル長)が長い場合には、電子51は再結合などによって失われ、もしくは負電位を持つゲート電極から反発力を受け、上記PN接合に達する数が著しく減少する。そのため、図8に示すような特性が得られたものと考えられる。これより、このメモリ素子のゲート長は0.5  $\mu\text{m}$ 以下であることが好ましい。このメモリ素子は、既に述べたように特に微細化に適しているのであるが、ゲート長が0.015  $\mu\text{m}$ 以下となると、もはやトランジスタ動作自体が困難なものとなる。以上のことを総合して、このメモリ素子のゲート長は0.015  $\mu\text{m}$ 以上であって、0.5  $\mu\text{m}$ 以下であることが好ましい。

【0070】

上記動作方法では、ソース電極とドレイン電極を入れ替えることによって1トランジスタ当たり2ビットの書込み及び消去をさせているが、ソース電極とドレイ

ン電極を固定して1ビットメモリとして動作させてもよい。この場合ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減できる。

#### 【0071】

本実施の形態の半導体記憶装置によれば、メモリトランジスタの電荷保持部は、ゲート絶縁膜とは独立して形成され、ゲート電極の両側に形成されている。そのため、2ビット動作が可能である。更には、各電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。また、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されているので、ゲート絶縁膜厚を薄膜化して短チャネル効果を抑制することができる。したがって素子の微細化が容易となる。

#### 【0072】

また、この半導体記憶装置の第2の消去方法によれば、比較的低い電圧でホールを発生させて消去動作を行なうことが可能となる。それゆえ、メモリ素子の動作電圧を低くすることが可能となる。したがって、低消費電力化、メモリ素子劣化の抑制を実現することができる。更には、上記第2の消去方法は、拡散層領域をゲート電極に対してオフセットすることによりメモリ効果が増大する本発明のメモリ装置においては、消去動作電圧を低減する効果が特に大きい。

#### 【0073】

##### 【発明の効果】

以上より明らかなように、第1の発明の半導体記憶装置によれば、上記ゲート電極側壁の両側に形成された2つの電荷保持部は、上記ゲート絶縁膜とは独立しているので、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている。そのため、十分なメモリ機能を有したままゲート絶縁膜を薄膜化して短チャネル効果を抑制するのが容易である。また、ゲート電極の両側に形成された2つの電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。言い換えれば、2つの電荷保持部間の距離を小さくすることができる。

#### 【0074】

更には、上記ゲート電極の電圧と、一方のN型拡散層領域の電圧と、他方のN型拡散層領域の電圧を適切に設定することにより、他方のN型拡散層領域の側に有る電荷保持部に選択的に正孔を注入することができる。

【0075】

したがって、2ビット動作が可能で、かつ微細化が容易な半導体記憶装置が提供される。

【0076】

また、第2の発明の半導体記憶装置は、第1の発明の半導体記憶装置において、メモリトランジスタの極性をPチャネル型としたものである。したがって、第1の発明の半導体記憶装置と同様な作用効果を奏する。

【0077】

また、第3の発明の半導体記憶装置によってもまた、第1の発明の半導体記憶装置と同様な作用効果を奏する。

【0078】

更には、一方のN型拡散層領域と、上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜とのPN接合には順方向電圧が印加されるため、上記半導体基板中に電子が注入される。注入された電子は他方のN型拡散層領域と上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜とのPN接合において加速、散乱され、電子-正孔対を発生する。発生した正孔は、他方のN型拡散層領域の側に有る電荷保持部に選択的に注入される。上記過程は、他方のN型拡散層領域と上記半導体基板との電圧差が比較的低い場合にも起こるため、半導体記憶装置の動作電圧を低くすることが可能となる。したがって、半導体記憶装置の低消費電力化、素子劣化の抑制を実現することができる。

【0079】

また、第4の発明の半導体記憶装置は、第3の発明の半導体記憶装置において、メモリトランジスタの極性をPチャネル型としたものである。したがって、第3の発明の半導体記憶装置と同様な作用効果を奏する。

【0080】

1 実施の形態によれば、半導体記憶装置はいわゆるオフセットトランジスタ構造を有しており、大きなメモリ効果を得ることができる。一方、オフセット構造を有するがゆえに、上記ゲート電極の電位により、他方のN型又はP型拡散層領域とP型又はN型半導体基板とのPN接合における正孔又は電子の発生が促進される効果が乏しくなる。しかしながら、一方のN型又はP型拡散層領域とP型又はN型半導体基板とのPN接合には順方向電圧が印加されているため、比較的低い電圧で他方のN型又はP型拡散層領域とP型又はN型半導体基板とのPN接合において正孔又は電子が発生する。したがって、大きなメモリ効果を持ち、かつ、低電圧動作が可能な半導体記憶装置が提供される。

## 【 0 0 8 1 】

また、1 実施の形態によれば、一方のN型拡散層領域と上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜とのPN接合に流れる順方向電流を、他方のN型拡散層領域と上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜とのPN接合における正孔又は電子の発生に十分なだけ得ることができる。同時に、上記順方向電流が、半導体記憶装置の消費電流を著しく増大させることがない。

## 【 0 0 8 2 】

また、1 実施の形態によれば、一方のP型拡散層領域と上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜とのPN接合に流れる順方向電流を、他方のP型拡散層領域と上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜とのPN接合における正孔又は電子の発生に十分なだけ得ることができる。同時に、上記順方向電流が、半導体記憶装置の消費電流を著しく増大させることがない。

## 【 0 0 8 3 】

また、1 実施の形態では、上記ゲート電極のゲート長は、 $0.015\mu\text{m}$ 以上であって $0.5\mu\text{m}$ 以下であるから、他方のN型又はP型拡散層領域とP型又はN型半導体基板（P型又はN型ウェル領域、P型又はN型半導体膜）とのPN接

合において、十分に正孔又は電子が発生し、上記電荷保持部に注入することができる。また、メモリ動作の基本となるトランジスタ動作が確保される。

【0084】

また、1実施の形態によれば、上記電荷を蓄積する機能を有する第1の絶縁体はシリコン窒化膜であり、電荷（電子及び正孔）をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。また、第2及び第3の絶縁膜はシリコン酸化膜であるから、上記電荷保持部はいわゆるONO(Oxide Nitride Oxide)膜構造になっているので、電荷の注入効率が高くなり、書換え動作を高速化できる。

【図面の簡単な説明】

【図1】

本発明の半導体記憶装置の第1の例を示す要部の概略断面図である。

【図2】

本発明の半導体記憶装置の第2の例を示す要部の概略断面図である。

【図3】

本発明の半導体記憶装置の第3の例を示す要部の概略断面図である。

【図4】

本発明の半導体記憶装置の書込み動作を説明するための要部の概略断面図である。

【図5】

本発明の半導体記憶装置の第1の消去動作を説明するための要部の概略断面図である。

【図6】

本発明の半導体記憶装置の第2の消去動作を説明するための要部の概略断面図である。

【図7】

図6の切断面線A-A'における、電子に対するエネルギーダイアグラムである。

【図8】

本発明の半導体記憶装置の第2の消去方法における、ゲート長が変化した時の消去能力の変化を示すグラフである。

【図9】

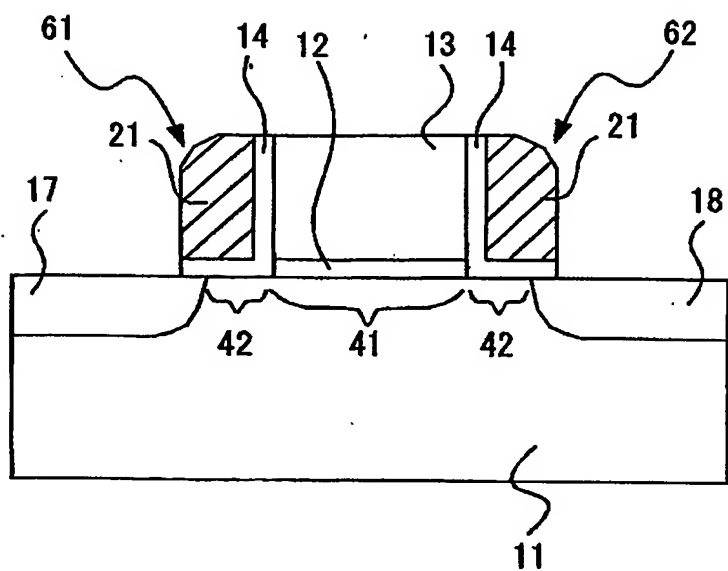
従来の半導体記憶装置を示す要部の概略断面図である。

【符号の説明】

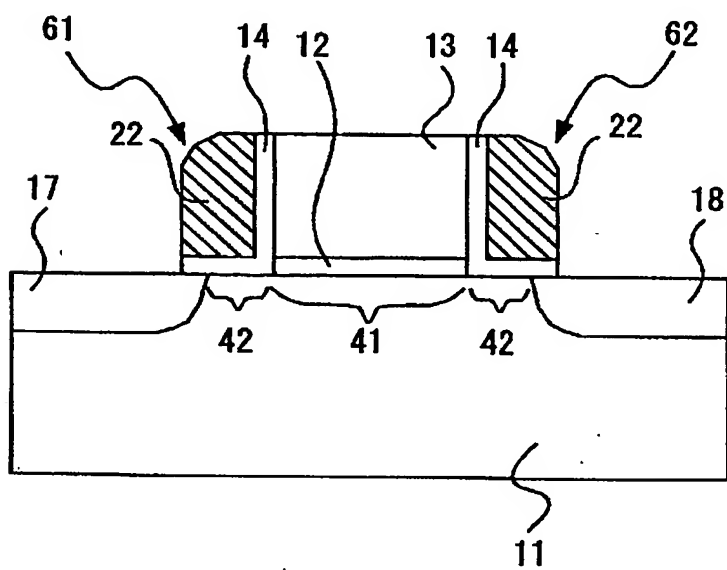
- 1 1 . . . 半導体基板
- 1 2 . . . ゲート絶縁膜
- 1 3 . . . ゲート電極
- 1 4、1 6 . . . シリコン酸化膜
- 1 5、2 1 . . . シリコン窒化膜
- 1 7、1 8 . . . ソース／ドレイン領域
- 2 2 . . . 導電体膜
- 3 1 . . . 反転層
- 4 1 . . . ゲート電極が形成された領域
- 4 2 . . . オフセット領域
- 5 1, 5 2, 5 3 . . . 電子
- 5 4 . . . 正孔
- 6 1、6 2 . . . 電荷保持部

【書類名】 図面

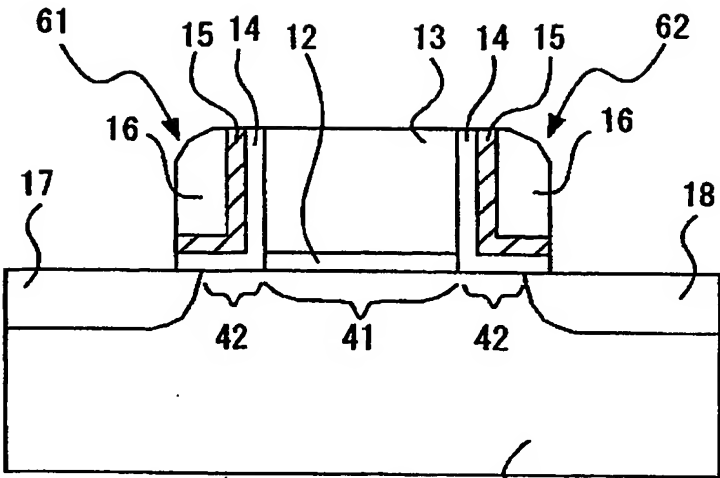
【図 1】

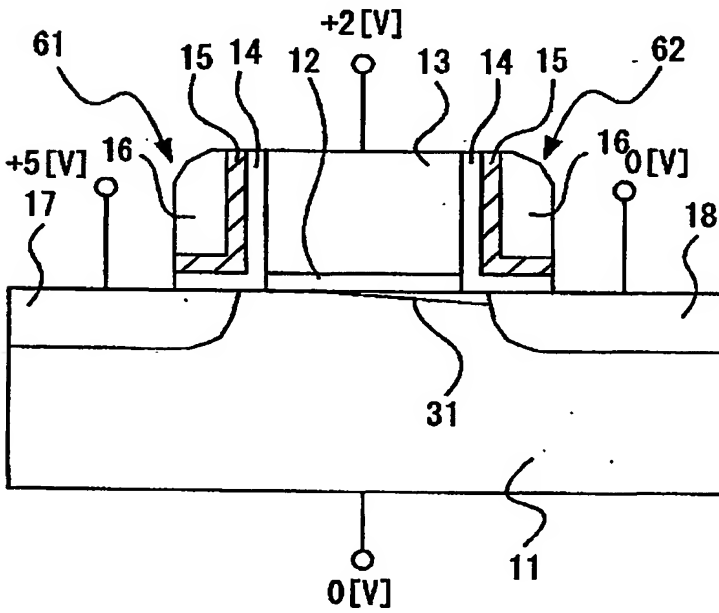
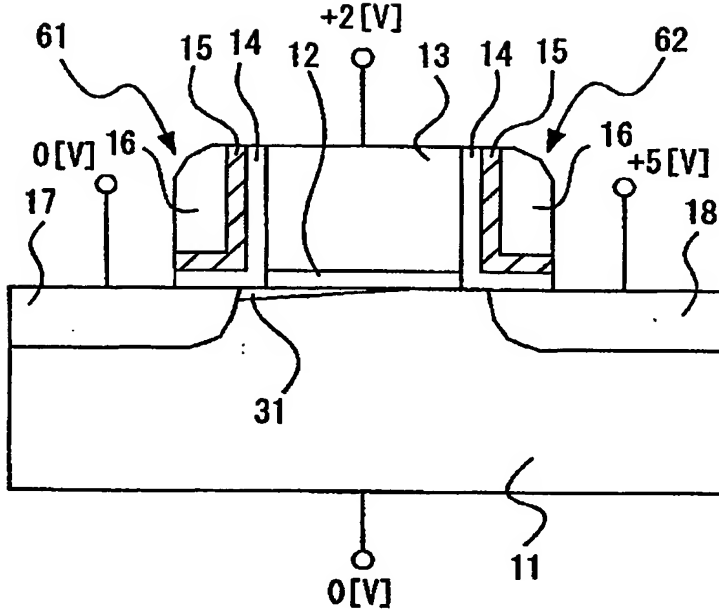


【図 2】

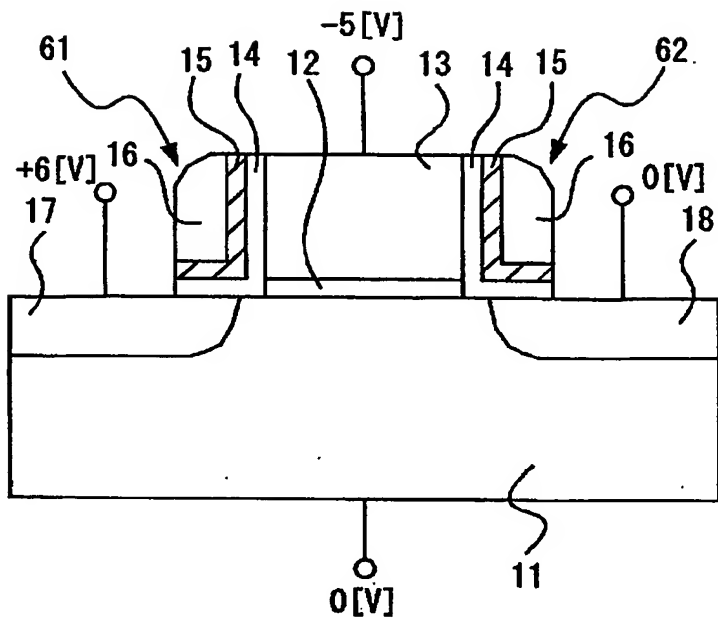




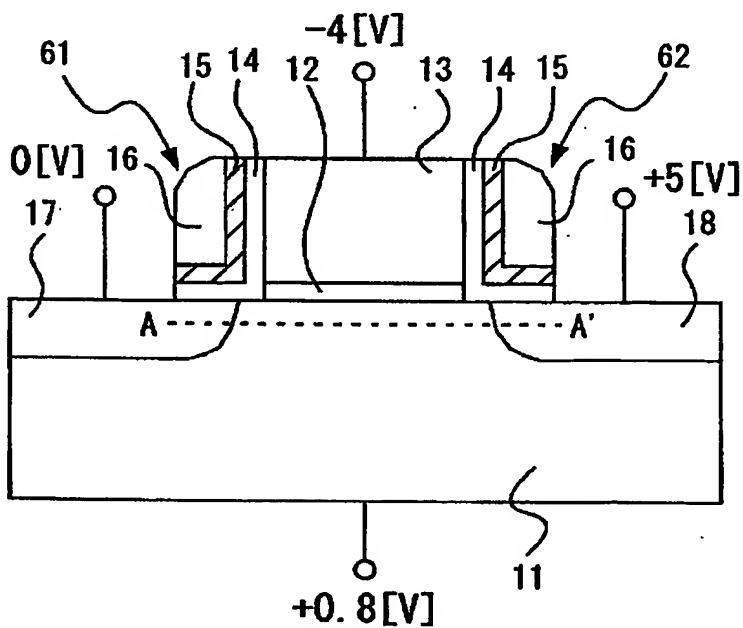




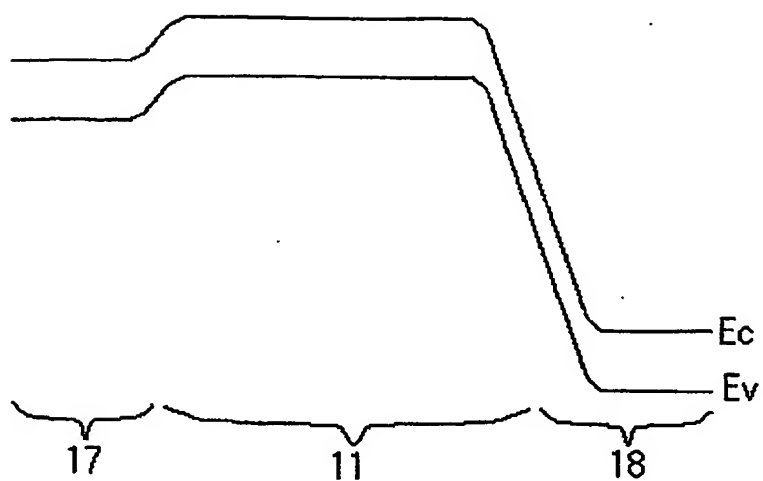
【図5】



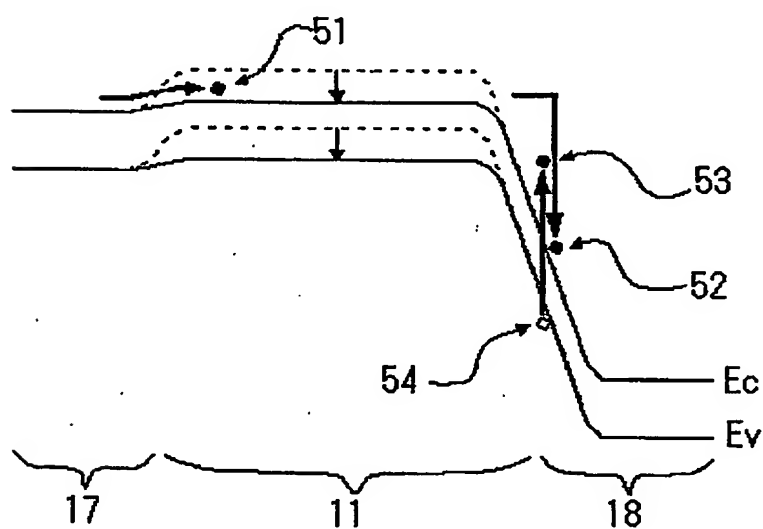
【図6】



【図7】

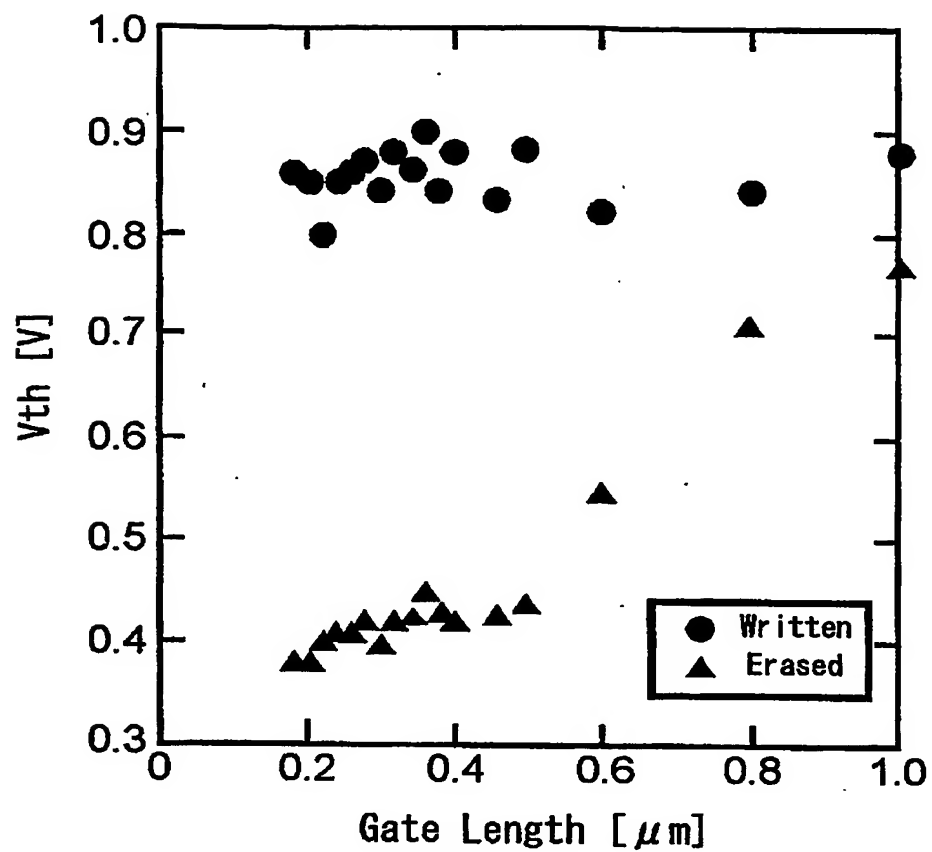


(a)

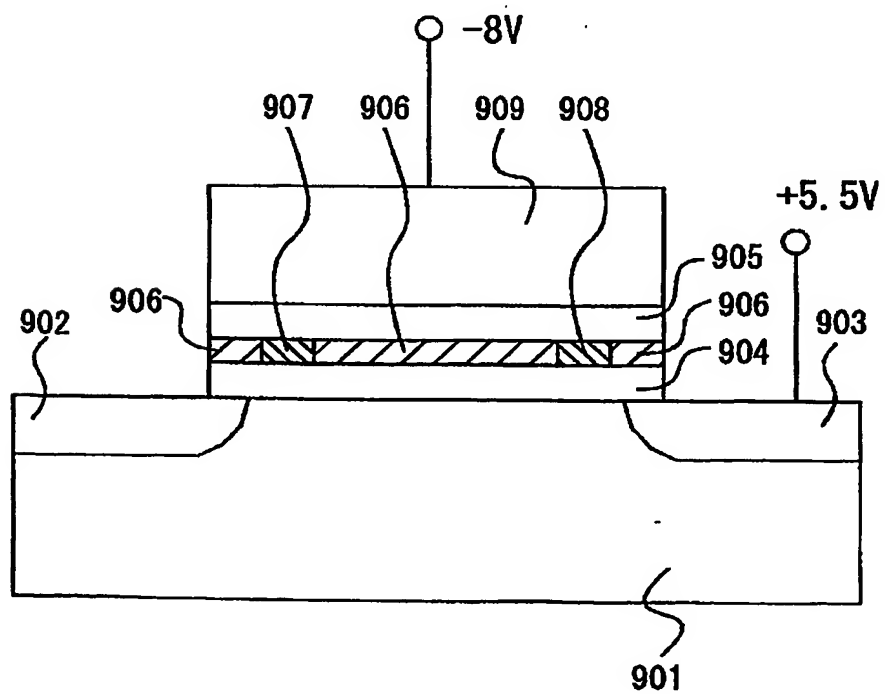


(b)

【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 1つのトランジスタで2ビットの記憶保持を実現しながら、更に微細化することができる半導体装置を提供する。

【解決手段】 半導体基板と半導体膜と、上記半導体膜上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成された単一のゲート電極と、上記ゲート電極側壁の両側に2つの電荷保持部と、上記電荷保持部のそれぞれに対応するソース／ドレイン領域と、上記単一ゲート電極下に配置されたチャネル領域とを備える構成により、2つの電荷保持部が担うメモリ機能と、上記ゲート絶縁膜が担うトランジスタ動作機能とは分離されているため、十分なメモリ機能を有したまま上記ゲート絶縁膜を薄膜化して短チャネル効果を容易に抑制できる。また、上記ゲート電極の両側に形成された2つの電荷保持部は上記ゲート電極により分離されているので書換え時の干渉が効果的に抑制できる。さらには、上記ゲート電極の電圧と、一方の拡散層領域の電圧と、他方の拡散層領域の電圧を適切に設定することで他方の拡散層領域の側の電荷保持部に選択的に正孔を注入できる。

したがって、2ビット動作が可能で、かつ微細化が容易な半導体記憶装置が提供できる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**